

# METHOD AND DEVICE OF DRIVING PLASMA DISPLAY PANEL

**Publication number:** JP2004144931 (A)

**Publication date:** 2004-05-20

**Inventor(s):** AWAMOTO KENJI; IWASA SEIICHI; IRIE KATSUYA; SEO YOSHIHO

**Applicant(s):** FUJITSU LTD

**Classification:**

**- international:** G09G3/20; G09G3/28; G09G3/288; G09G3/20; G09G3/28;  
(IPC1-7): G09G3/288; G09G3/20; G09G3/28

**- European:**

**Application number:** JP20020308739 20021023

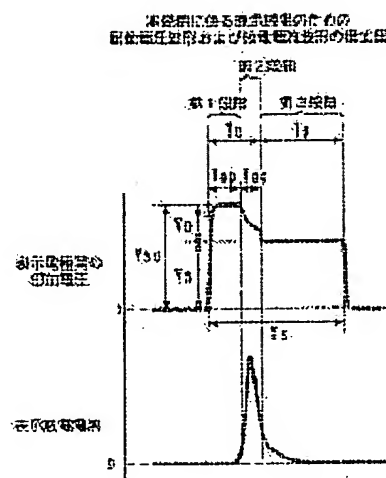
**Priority number(s):** JP20020308739 20021023

**Also published as:**

JP4172539 (B2)

## Abstract of JP 2004144931 (A)

**PROBLEM TO BE SOLVED:** To improve the emission luminance and the emission efficiency in a display discharge, and reduce the variation of the emission luminance and the emission efficiency due to the variation of a display load.



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-144931

(P2004-144931A)

(43) 公開日 平成16年5月20日(2004. 5. 20)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
G09G 3/288	G09G 3/28 B	5C080
G09G 3/20	G09G 3/20 611A	
G09G 3/28	G09G 3/20 612G	
	G09G 3/20 612U	
	G09G 3/20 621G	
審査請求 未請求 請求項の数 6 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2002-308739 (P2002-308739)	(71) 出願人	000005223
(22) 出願日	平成14年10月23日 (2002. 10. 23)		富士通株式会社
			神奈川県川崎市中原区上小田中4丁目1番1号
		(74) 代理人	100086933
			弁理士 久保 幸雄
		(72) 発明者	栗本 健司
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	岩佐 誠一
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	入江 克哉
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		最終頁に続く	

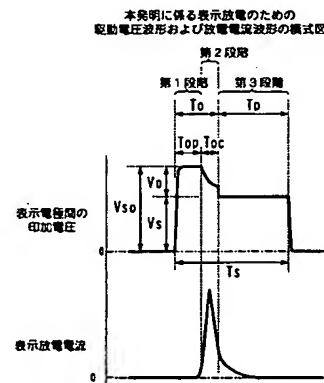
(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法および駆動装置

## (57) 【要約】

【課題】 表示放電における発光輝度および発光効率を改善し、かつ表示負荷の増減にともなう発光輝度および発光効率の変動を小さくする。

【解決手段】 1回の表示放電を生じさせる1パルス分の駆動過程を、高レベル維持電圧を表示電極対に印加することによって表示放電を生じさせる第1段階と、印加電圧を高レベル維持電圧から低レベル維持電圧へ近づける第2段階と、表示電極対に低レベル維持電圧を印加する第3段階とで構成し、第1段階において高レベル維持電圧を印加するための電源によって電力蓄積素子に電力を蓄積させ、第2段階において電力蓄積素子および表示電極対に対する電源からの電力供給を遮断し、かつ電力蓄積素子から表示電極対へ電力を供給し、第3段階において電力蓄積素子から表示電極対への電力供給を遮断する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

表示電極対に電圧パルス列を印加して表示すべき明るさに応じた回数の表示放電を生じさせる A C 型のプラズマディスプレイパネルの駆動方法であって、

1 回の表示放電を生じさせる 1 パルス分の駆動過程が、低レベル維持電圧にそれと同極性のオフセット電圧が重畳した高レベル維持電圧を前記表示電極対に印加することによって表示放電を生じさせる第 1 段階と、前記表示電極対に対する印加電圧を前記高レベル維持電圧から前記低レベル維持電圧へ近づける第 2 段階と、前記表示電極対に前記低レベル維持電圧を印加する第 3 段階とを有しており、

前記第 1 段階において、前記高レベル維持電圧を印加するための電源によって電力蓄積素子に電力を蓄積させ、

前記第 2 段階において、前記電力蓄積素子および前記表示電極対に対する前記電源からの電力供給を遮断し、かつ前記電力蓄積素子から前記表示電極対へ電力を供給し、

前記第 3 段階において、前記電力蓄積素子から前記表示電極対への電力供給を遮断することを特徴とするプラズマディスプレイパネルの駆動方法。

**【請求項 2】**

前記第 2 段階の終了時点で、前記表示電極対の電極間容量に残存している電力を、前記低レベル維持電圧を印加するための電源に強制的に放出する

請求項 1 記載のプラズマディスプレイパネルの駆動方法。

**【請求項 3】**

前記第 1 段階から第 2 段階へ移行する時期を、1 画面の表示における点灯すべきセルの数に応じて変更する

請求項 1 記載のプラズマディスプレイパネルの駆動方法。

**【請求項 4】**

表示電極対に電圧パルス列を印加して表示すべき明るさに応じた回数の表示放電を生じさせる A C 型のプラズマディスプレイパネルの駆動装置であって、

コントローラと、

前記表示電極対に対応した一対のサステイン回路と、

第 1 および第 2 の電源とを備え、

前記一対のサステイン回路のそれぞれが、標準パルス発生回路と補助パルス発生回路とを有しており、

前記標準パルス発生回路は、前記第 1 の電源を用いて表示電極対に低レベル維持電圧を断続的に印加するためのスイッチ回路であり、

前記補助パルス発生回路は、前記第 2 の電源を用いて前記低レベル維持電圧にそれと同極性のオフセット電圧が重畳した高レベル維持電圧を前記表示電極対に断続的に印加するためのスイッチ回路であり、

前記補助パルス発生回路は、前記第 2 の電源と前記標準パルス発生回路とを結ぶ通電路を開閉する第 1 のスイッチと、前記通電路における前記第 1 のスイッチと前記標準パルス発生回路との間に挿入された第 2 のスイッチと、前記第 1 および第 2 のスイッチの接続点と接地端子との間に挿入された 2 端子の電力蓄積素子とを有し、

1 回の表示放電を生じさせる 1 パルス分の駆動過程が、前記高レベル維持電圧を前記表示電極対に印加することによって表示放電を生じさせる第 1 段階と、前記表示電極対に対する印加電圧を前記高レベル維持電圧から前記低レベル維持電圧へ近づける第 2 段階と、前記表示電極対に前記低レベル維持電圧を印加する第 3 段階とを有しており、

前記コントローラは、前記第 1 段階において片方のサステイン回路の前記第 1 および第 2 のスイッチを閉じ、このとき開いている他方のサステイン回路の前記第 1 および第 2 のスイッチを開いたままにしておき、前記第 2 段階において前記第 1 段階に閉じた前記第 1 のスイッチを開き、前記第 3 段階において前記第 1 段階に閉じた前記第 2 のスイッチを開くことを特徴とするプラズマディスプレイパネルの駆動装置。

**【請求項 5】**

10

20

30

40

50

前記一対のサステイン回路のそれぞれは、前記表示電極対の片方の表示電極と前記第1の電源とを結ぶ通電路を開閉する第3のスイッチを有し、  
前記コントローラは、前記第2段階の終了時点において、前記第3段階で開くべき当該第2のスイッチを有した片方のサステイン回路の前記第3のスイッチを閉じる  
請求項4記載のプラズマディスプレイパネルの駆動装置。

【請求項6】

前記電力蓄積素子はコンデンサであり、その容量値はプラズマディスプレイパネルの画面全体の表示電極間の容量値の $1/2$ から2倍の範囲内の値である  
請求項4記載のプラズマディスプレイパネルの駆動装置。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、プラズマディスプレイパネル (Plasma Display Panel: PDP) の駆動方法および駆動装置に関する。

【0002】

PDPを用いた表示装置において、より少ない電力でより明るい表示を実現すること、すなわち発光効率の改善が望まれている。工業的には、蛍光体の材質や放電ガスの組成を含めたパネル構造を変更するよりも、駆動パルス波形の工夫によって発光効率を高めるのが好ましい。

【0003】

20

【従来の技術】

カラー表示に発光色の異なる3種の蛍光体をもつAC型のPDPが用いられている。AC型では、セルの発光量を決める表示放電において陽極および陰極の対を構成する表示電極が誘電体で被覆されており、誘電体の帯電により生じる壁電圧を利用する駆動制御が行われる。

【0004】

AC型のPDPの駆動装置は、画面内のセルのそれぞれの壁電荷量を表示データに対応させるアドレッシングを行い、その後に全セルに対して一斉に交番極性のサステインパルスを印加する。1つのサステインパルスの印加に呼応して、所定量の壁電荷が存在するセルにおいて表示放電が起こる。そのとき、放電ガスが放つ紫外線によってセル内の蛍光体が励起されて発光する。表示放電による発光を“点灯”という。放電が生じると、誘電体の壁電荷がいったん消失し、直ちに壁電荷の再形成が始まる。再形成される壁電荷の極性は以前と反対である。壁電荷の再形成にともなって表示電極間の電圧が降下して表示放電は終息する。放電が終息した後もパルスの後縁までは電圧の印加が続くので、静電吸引による壁電荷の再形成が進んで壁電圧が増大する。再び適度の壁電圧が生じたセルに以前と反対極性のサステインパルスを印加すると、再び表示放電が生じる。このようにサステインパルスの印加を繰り返すことによって、表示すべき明るさに応じた回数の表示放電を生じさせることができる。サステインパルスの印加周期は数マイクロ秒程度であり、視覚的には発光は連続する。また、サステインパルスの振幅、すなわち壁電圧に重畳する印加電圧は、放電開始電圧 $V_f$ より低く、かつ点灯を維持するのに必要な最低の印加電圧 $V_{sm}$ よりも高い。サステインパルスの振幅を $V_f$ 以上とすると、アドレッシングで非点灯としたセルでも放電が起こってしまう。サステインパルスの振幅を $V_{sm}$ 未満とすると、壁電荷の再形成が不十分になり、点灯状態のセルが消灯状態になってしまう。

30

40

【0005】

一般的なサステインパルスの波形は単純矩形であり、その印加には半導体スイッチング素子を組み合わせたブッシュブル構成のパルス回路が用いられている。表示電極とバイアス電位の電源端子との間、および表示電極と接地端子 (GND) との間にスイッチング素子が配置され、これらスイッチング素子のオンオフ制御によって表示電極の電位がバイアス電位または接地電位とされる。一対の表示電極の一方をバイアス電源端子と接続し、それと並行して他方を接地端子と接続することにより、当該表示電極対の電極間に維持電圧 (

50

Vs) が加わる。このようなプッシュプル構成のパルス回路の制御では、電位の切り換えに際して、一对のスイッチング素子の双方をオフ状態(“開”)とするデッドタイムが設けられる。これはスイッチング素子が破損するおそれのあるバイアス電源端子と接地端子との短絡を防ぐためである。デッドタイムでは表示電極が駆動回路と電氣的に切り離される。したがって、表示電極の電位が遷移するサステインパルスの立上り(前縁)および立下り(後縁)の双方の直前において、表示電極に対して駆動回路の出力が高インピーダンスとなり、駆動回路と表示電極との間の電流の出入りが実質的に遮断される。

#### 【0006】

単純矩形のサステインパルスを印加する典型的な駆動方法では、輝度および発光効率の双方を向上させることができない。サステインパルスの振幅を許容範囲内で大きくすることで表示放電の強度を大きくし、それによって発光輝度を高めることができる。しかし、発光輝度を高めようとする消費電力が増大してしまい、発光効率が低下してしまう。この問題の解決に関して、特開平10-333635号公報には前縁の振幅が大きい階段波形のサステインパルスを印加することが記載されている。

10

#### 【0007】

##### 【特許文献1】

特開平10-333635号公報

#### 【0008】

##### 【発明が解決しようとする課題】

階段波形のパルス印加は、単純パルス波形のパルス印加と同様に、スイッチング素子を用いて所定電位の電源と表示電極との導通を制御することによって実現できる。例えば、最初に表示電極を電位の高い電源と接続し、次に表示電極を電位の低い電源と接続する。そして、最後に表示電極を接地端子と接続することにより1つのパルスの印加が終わる。接続の切換えに際しては短絡を防止するためにデッドタイムを設ける。デッドタイムにおいて電源出力は高インピーダンスである。この場合に発光輝度および発光効率が向上する理由は次のとおりである。

20

#### 【0009】

比較的に高い電圧をセルに加えることによって、表示電極間の容量が十分に充電された後に比較的に強い放電が生じる。強い放電による点灯の輝度は高い。高い電圧から低い電圧への切換えの過渡期であるデッドタイムでは、電源ではなく表示電極間の容量の蓄積電荷が放電電流として流れる。容量の蓄積電荷が減少するにつれて表示電極間の電圧が降下する。このときの放電電流の経路はセルの内部であるので、電源からセルまでの長い経路を流れるときと比べて電力損失が少ない。表示電極間の容量を充電する電流は長い経路をたどるものの、充電電流は放電電流と比べて急激ではないので、容量を充電する時の電力損失は、充電量と同量の電力を放電電流として電源からセルへ供給する場合の損失と比べて少ない。デッドタイムの後の低い電圧を印加する期間では、高い電圧を印加する期間と比べて電源が供給する電力は少ない。発光輝度は放電初期の発光量に大きく依存するので、放電開始から暫くして印加電圧を下げてても発光輝度は印加電圧を下げない場合とほとんど同様である。以上のとおり、階段波形を適用することによって発光輝度および発光効率を高めることができる。なお、壁電荷の再形成は主として表示放電が終息した後の印加電圧に依存する。したがって、放電開始時の印加電圧を高くして放電強度を大きくしても、放電開始後に印加電圧を降下させれば、壁電荷の再形成が過剰にはならない。低い印加電圧の適切な設定によって、表示放電の反復が可能な壁電圧を生じさせることができる。

30

40

#### 【0010】

しかし、電源と表示電極との導通制御のみによるパルス印加では、表示負荷の大小に係わらず輝度および発光効率を高めることができない、という問題が判明した。ここでいう表示負荷とは、1回のアドレッシングで設定される点灯すべきセルの数である。表示負荷が小さい場合は、表示放電で流れる電流量と比べて表示電極間の蓄積電荷量が多いことから、デッドタイムにおいて表示電極間の印加電圧が十分に降下しない。このため、デッドタイムの終了に呼応して低い電圧を印加するために電源の接続を再開したときに、デッドタ

50

イムで十分に電圧が降下した場合よりも大きな電流が電源から流れ出し、意図したとおりに発光効率が向上しない。表示負荷が大きい場合は、静電容量に充電された電荷が多数のセルの表示放電に費やされるので、デッドタイムにおいて印加電圧が急速に降下する。セル間には放電開始時期のばらつきがあるので、印加電圧が降下した時点で生じる表示放電は降下前に始まった表示放電より弱い。このことから、表示負荷が大きい場合は点灯すべきセルの総合の発光輝度が高くない。また、表示負荷が大きい場合は、放電開始時期のばらつき幅が大きく、1つのパルスに対応する放電電流の流れる期間が長い。このことは、階段状のサステインパルスにおける振幅の切換え時点と放電開始時点とのズレの大きいセルが多いこと、すなわち振幅の切換えの効果が十分に現れないことを意味する。加えて、表示負荷が大きいほど、電源電圧の低下や電流供給の不足による放電遅れが増大し、放電電流のピークが遅れる。つまり、放電電流が最大になる時期は表示負荷に応じて変わるので、サステインパルスにおける振幅の切換えタイミングの最適化は極めて難しい。本発明は、表示放電における発光輝度および発光効率を改善し、かつ表示負荷の増減にともなう発光輝度および発光効率の変動を小さくすることを目的としている。

10

#### 【0011】

##### 【課題を解決するための手段】

本発明においては、表示電極対に電圧パルス列を印加して表示すべき明るさに応じた回数の表示放電を生じさせる際に、1回の表示放電を生じさせる1パルス分の駆動過程を、低レベル維持電圧にそれと同極性のオフセット電圧が重畳した高レベル維持電圧を表示電極対に印加することによって表示放電を生じさせる第1段階と、表示電極対に対する印加電圧を高レベル維持電圧から低レベル維持電圧へ近づける第2段階と、第1の電源によって表示電極対に低レベル維持電圧を印加する第3段階とで構成する。そして、第1段階において上記高レベル維持電圧を印加するための第2の電源によって電力蓄積素子に電力を蓄積させ、第2段階において電力蓄積素子および表示電極対に対する第2の電源からの電力供給を遮断し、かつ電力蓄積素子から表示電極対へ電力を供給し、第3段階において電力蓄積素子から表示電極対への電力供給を遮断する。なお、電源とは、電流の供給および吸引をする能力をもつ電源回路の出力端子である。

20

#### 【0012】

低レベル維持電圧よりも高い高レベル維持電圧を印加することによって、低レベル維持電圧を印加する場合よりも強い表示放電が生じて発光輝度が高まる。印加電圧を高レベル維持電圧から低レベル維持電圧へ近づけることによって、高レベル維持電圧を引き続き印加する場合よりも消費電力が少なくなって発光効率が高まる。壁電荷の再形成は主として表示放電が終息した後の印加電圧に依存する。したがって、放電開始時の印加電圧を高くして放電強度を大きくしても、放電開始後に印加電圧を降下させることにより壁電荷の再形成状態を表示放電の反復が可能な適正状態にすることができる。そして、電力蓄積素子から表示電極対へ電力を供給することにより、電源からの電力供給を遮断した状態で多数のセルで表示放電が生じて表示電極間の印加電圧が緩やかに降下する。この場合の表示放電は印加電圧が急激に降下する場合の表示放電よりも強い。したがって、表示負荷が大きいときにも、表示負荷が小さいときと同様に、高レベル維持電圧の印加による輝度向上の効果が得られる。

30

40

#### 【0013】

また、本発明においては、第2段階の終了時点で、表示電極対の電極間容量に残存している電力を第1の電源に強制的に放出する。これによって、第2段階での表示電極間の電圧降下が不十分であっても、十分であった場合よりも大きな放電電流が第3段階で流れることはない。つまり、表示負荷が小さいときにも、表示負荷が大きいときと同様に、高レベル維持電圧からそれよりも低い低レベル維持電圧に切り換えることによる発光効率向上の効果が得られる。

#### 【0014】

電力蓄積素子としては、コンデンサ（キャパシタンス）またはコイル（インダクタンス）が好適である。コンデンサを用いる場合、その容量値 $C_0$ として次の式を満たす値が実用

50

的である。

#### 【0015】

$0.5C_p \leq C_o \leq 2C_p$  ( $C_p$ は画面全体の表示電極間の容量値)

さらに、本発明においては、印加電圧を切り換えるタイミングを、表示負荷の大きさに応じて変更する。高レベル維持電圧から低レベル維持電圧への電圧変更の最適時期は一定ではなく表示負荷に依存する。したがって、表示負荷の変化に合わせて電圧変更時期を調整することにより、輝度および発光効率の変動をより小さくすることができる。

#### 【0016】

図1は本発明に係る表示放電のための駆動電圧波形および放電電流波形を示す図である。1回の表示放電に係るパルスの波形は、基本的にはパルス期間 $T_s$ が振幅の大きい期間 $T_o$ と振幅の小さい期間 $T_p$ とに大別される2段階の階段状である。厳密には振幅の切り換りの過渡期があり、期間 $T_o$ は高レベル維持電圧 $V_{so}$ を印加する期間 $T_{op}$ と印加電圧を降下させる期間 $T_{oc}$ とに分かれる。高レベル維持電圧 $V_{so}$ は低レベル維持電圧 $V_s$ にそれと同極性のオフセット電圧 $V_o$ が重畳した電圧に相当する。期間 $T_{op}$ において、表示電極間の容量が充電されて電極間の印加電圧が上昇した後に表示放電が始まり、第2の電源から表示電極対へ放電電流が流れ始める。同時に電力蓄積素子にも電源から電流が流れ、 $V_{so}$ または $V_o$ である電源電圧に見合った電力が蓄積される(第1段階)。電源電圧を $V_{so}$ とする回路構成、および電源電圧を $V_o$ とする回路構成もある。期間 $T_{op}$ は、放電が終息する以前に高レベル維持電圧 $V_{so}$ の印加を終えるように設定される。期間 $T_{oc}$ において、第2の電源からの電力供給が遮断される(第2段階)。このとき、表示電極間の容量に蓄積されていた電力と、電力蓄積素子に蓄積されていた電力とが放電電流として流れる。放電により表示電極間の印加電圧は図のように $V_{so}$ から $V_s$ へと降下するものの、電力蓄積素子からの電力供給があるので降下は緩慢である。期間 $T_p$ において、低レベル維持電圧 $V_s$ が第1の電源によって表示電極間に印加される(第3段階)。このとき、電力蓄積素子からの電力供給が遮断される。表示負荷が小さいときには期間 $T_{oc}$ での印加電圧の降下が不十分になるので、その対策として期間 $T_o$ の終了時点で表示電極間の印加電圧が強制的に低レベル維持電圧 $V_s$ とされる。第2の電源と電力供給素子とが第2段階で遮断されているので、第1の電源と第2の電源との短絡は生じない。

#### 【0017】

##### 【発明の実施の形態】

##### 〔表示装置の概要〕

図2は本発明に係る表示装置の構成図である。表示装置100は、カラー表示の可能な面放電型のPDP1と、セルの発光を制御するドライブユニット70とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。PDP1の画面には、表示放電を生じさせるための電極対を構成する表示電極Xと表示電極Yが互いに平行に配置され、これら表示電極X、Yと交差するようにアドレス電極Aが配列されている。表示電極X、Yは画面の行方向(水平方向)に延び、アドレス電極は列方向(垂直方向)に延びている。ドライブユニット70は、コントローラ71、データ変換回路72、電源回路73、Xドライバ75、Yドライバ76、およびAドライバ77を有している。ドライブユニット70にはTVチューナ、コンピュータなどの外部装置からR、G、Bの3色の輝度レベルを示すフレームデータDfが各種の同期信号とともに入力される。フレームデータDfはデータ変換回路72の中のフレームメモリに一時的に記憶される。データ変換回路72は、フレームデータDfを階調表示のためのサブフレームデータDs fに変換してAドライバ77へ送る。サブフレームデータDs fは1セル当たり1ビットの表示データの集合であって、その各ビットの値は該当する1つのサブフレームにおけるセルの発光の要否、厳密にはアドレス放電の要否を示す。Aドライバ77は、サブフレームデータDs fに従って、アドレス放電を起こすべきセルを通るアドレス電極Aにアドレスパルスを印加する。なお、電極へのパルスの印加とは、電極を一時的に所定電位にバイアスすることを意味する。コントローラ71は、パルスの印加およびサブフレームデータDs fの転送を制御する。Xドライバ75は表示電極Xの電位を切り換え、Y

ドライバ 7 6 は表示電極 Y の電位を切り換える。電源回路 7 3 は、各ドライバへ P D P 1 の駆動に必要な電力を供給する。

#### 【 0 0 1 8 】

図 3 は X ドライバおよび Y ドライバの概略図である。X ドライバ 7 5 は、表示電極 X に壁電荷の初期化のためのパルス印加するリセット回路 8 1、アドレッシングにおいて表示電極 X の電位を制御するためのバイアス回路 8 2、および表示電極 X にサステインパルスを印加するサステイン回路 8 3 からなる。Y ドライバ 7 6 は、表示電極 Y に壁電荷の初期化のためのパルス印加するリセット回路 8 5、アドレッシングにおいて表示電極 Y にスキャンパルスを印加するスキャン回路 8 6、および表示電極 Y にサステインパルスを印加するサステイン回路 8 7 からなる。

10

#### 【 0 0 1 9 】

図 4 は Y ドライバがもつスキャン回路の構成図、図 5 はスキャン回路がもつスキャンドライバの構成図である。スキャン回路 8 6 は、n 本の表示電極 Y の電位を個別に 2 値制御するための複数個のスキャンドライバ 8 6 1 を有する。各スキャンドライバ 8 6 1 は集積回路装置であり、j 本の表示電極 Y の制御を受け持つ。実用化されている典型的なスキャンドライバ 8 6 1 において、j は 6 0 ~ 1 2 0 程度である。図 5 のように、各スキャンドライバ 8 6 1 では、j 本の表示電極 Y のそれぞれに一对一ずつスイッチ Q a, Q b が配置されており、j 個のスイッチ Q a は電源端子 S D に共通接続され、j 個のスイッチ Q b は電源端子 S U に共通接続されている。スイッチ Q a がオンすると、表示電極 Y はその時点の電源端子 S D の電位にバイアスされ、スイッチ Q b がオンすると、表示電極 Y はその時点の電源端子 S U の電位にバイアスされる。電源端子 S U, S D の電位はサステイン回路 8 7 の動作に依存する。スイッチ Q a, Q b に図 2 で示したコントローラ 7 1 からデータコントローラ内のシフトレジスタを介してスキャン制御信号 S C が与えられ、クロックに同期したシフト動作によって所定順序のライン選択が実現される。スキャンドライバ 8 6 1 には、サステインパルスを印加するときの電流路となるダイオード D a, D b も集積化されている。

20

#### 【 0 0 2 0 】

図 6 は P D P のセル構造の一例を示す図である。図 6 では P D P 1 における 1 行のうちの 3 列に対応した部分を、内部構造がよくわかるように一対の基板構体 1 0, 2 0 を分離させて描いてある。前面側の基板構体 1 0 は、ガラス基板 1 1、表示電極 X, Y、誘電体層 1 7、および保護膜 1 8 から構成される。表示電極 X, Y は、面放電ギャップを形成する太い帯状の透明導電膜 4 1 と電気抵抗を下げるバス導体としての細い帯状の金属膜 4 2 とから構成されている。表示電極 X, Y を被覆する誘電体層 1 7 は低融点ガラスペーストの焼成により形成され、保護膜 1 8 はマグネシアからなる。背面側の基板構体 2 0 は、ガラス基板 2 1、アドレス電極 A、絶縁体層 2 4、隔壁 2 9、および蛍光体層 2 8 R, 2 8 G, 2 8 B から構成される。隔壁 2 9 は、平面形状が真っ直ぐな帯状の構造体であり、アドレス電極配列の電極間隙ごとに 1 つずつ設けられている。隔壁 2 9 によって放電ガス空間がマトリクス表示の列ごとに区画され、各列に対応した列空間 3 1 が形成される。列空間 3 1 は全ての行に跨がって連続している。蛍光体層 2 8 R, 2 8 G, 2 8 B は、絶縁体層 2 4 における隔壁間の領域と隔壁側面とを覆うように配置され、放電ガスが放つ紫外線によって励起されて発光する。図中の斜体アルファベット R, G, B は蛍光体の発光色を示す。

30

40

#### 【 0 0 2 1 】

以上の表示装置 1 0 0 における P D P 1 の駆動シーケンスの概略は次のとおりである。P D P 1 による表示では、2 値の点灯制御によってカラー再現を行うために、図 7 のように入力画像である時系列のフレーム F を所定数 q のサブフレーム S F に分割する。つまり、各フレーム F を q 個のサブフレーム S F の集合に置き換える。これらサブフレーム S F に順に例えば  $2^0$ ,  $2^1$ ,  $2^2$ , ...,  $2^{q-1}$  の重みを付与して各サブフレーム S F の表示放電の回数を決める。図 7 ではサブフレーム配列が重みの順であるが、他の順序であってもよい。このようなフレーム構成に合わせてフレーム転送周期であるフレーム期間 T

50



f を q 個のサブフレーム期間  $T_{sf}$  に分割し、各サブフレーム  $S_F$  に 1 つのサブフレーム期間  $T_{sf}$  を割り当てる。さらに、サブフレーム期間  $T_{sf}$  を、壁電荷の初期化のためのリセット期間  $T_R$ 、アドレッシングのためのアドレス期間  $T_A$ 、および点灯維持のための表示期間  $T_S$  に分ける。リセット期間  $T_R$  およびアドレス期間  $T_A$  の長さが重みに係わらず一定であるのに対し、表示期間  $T_S$  の長さは重みが大きいほど長い。したがって、サブフレーム期間  $T_{sf}$  の長さも、それに該当するサブフレーム  $S_F$  の重みが大きいほど長い。q 個のサブフレーム  $S_F$  においてリセット期間  $T_R$ ・アドレス期間  $T_A$ ・表示期間  $T_S$  の順序は共通である。サブフレームごとに壁電荷の初期化、アドレッシング、および点灯維持が行われる。

#### 【0022】

図 8 は駆動電圧波形の概略図である。図において表示電極 Y の参照符号の添字 (1, n) は対応する行の配列順位を示す。なお、図示の波形は一例であり、振幅・極性・タイミングを種々変更することができる。

#### 【0023】

各サブフレームのリセット期間  $T_R$  においては、全てのセルの表示電極間に微小放電を生じさせる漸増電圧が加わるように、全ての表示電極 X に対して負極性および正極性のランプ波形パルス を順に印加し、全ての表示電極 Y に対して正極性および負極性のランプ波形パルス を順に印加する。これらランプ波形パルスの振幅は微小放電が生じる変化率で漸増する。セルには、表示電極 X, Y に印加されるパルスの振幅を加算した合成電圧が加わる。1 回目の漸増電圧の印加で生じる微小放電は、前サブフレームにおける点灯/非点灯に係わらず全てのセルに同一極性の適当な壁電圧を生じさせる。2 回目の漸増電圧の印加で生じる微小放電は、壁電圧を放電開始電圧と印加電圧の振幅との差に相当する値に調整する。

#### 【0024】

アドレス期間  $T_A$  においては、点灯すべきセルのみに点灯維持に必要な壁電荷を形成する。全ての表示電極 X および全ての表示電極 Y を所定電位にバイアスした状態で、行選択期間 (1 行分のスキャン時間) ごとに選択行に対応した 1 つの表示電極 Y にスキャンパルス  $P_y$  を印加する。この行選択と同時にアドレス放電を生じさせるべき選択セルに対応したアドレス電極 A のみにアドレスパルス  $P_a$  を印加する。つまり、選択行の m 列分のサブフレームデータ  $D_{sf}$  に基づいてアドレス電極 A の電位を 2 値制御する。選択セルでは表示電極 Y とアドレス電極 A との間の放電が生じ、それがトリガとなって表示電極間の面放電が生じる。これら一連の放電がアドレス放電である。

#### 【0025】

表示期間  $T_S$  においては、階段波状のサステインパルス  $P_s$  を表示電極 Y と表示電極 X とに交互に印加する。これにより、表示電極間には極性が交互に入れ替わるサステインパルス列が加わる。サステインパルス  $P_s$  の印加によって、所定の壁電荷が残存するセルで面放電が生じる。サステインパルスの印加回数は上述したとおりサブフレームの重みに対応する。なお、不要の放電を防止するためにアドレス電極 A を表示期間  $T_S$  にわたってサステインパルス  $P_s$  と同極性にバイアスしてもよい。

#### 【0026】

以上の駆動制御のうち、本発明に深く係わるのは表示期間  $T_S$  におけるサステインパルス  $P_s$  の印加である。以下では、表示電極 X, Y に対するサステインパルス  $P_s$  の印加手段であるサステイン回路 83, 87 (図 3 参照) の構成および動作を説明する。サステイン回路 87 の構成および動作はサステイン回路 83 と同様であるので、以下に説明する図において同じ機能の構成要素に同じ参照符号を付してある。特に必要な場合を除いてサステイン回路 87 の詳しい説明を省略する。なお、回路構成の複数の例を挙げる際にも、同じ機能の構成要素には全ての例に共通した参照を付し、重複説明をできるだけ少なくする。

〔サステインパルス生成の第 1 実施形態〕

第 1 実施形態は、表示電極対の片方の表示電極をバイアスすることによって、表示電極間にサステインパルスを印加する駆動形態である。

10

20

30

40

50

## 【0027】

図9はサステイン回路構成の第1例を示す。サステイン回路83, 87は、振幅 $V_s$ の矩形波パルス出力する機能をもつ標準パルス発生回路831、サステインパルスの振幅を一時的に高レベル維持電圧 $V_{so}$ とする補助パルス発生回路832、および表示電極間の容量 $C_p$ の充電に費やした電荷を再利用するための電力回収回路833から構成される。標準パルス発生回路831は、スイッチ $SW_4$ ,  $SW_5$ ,  $SW_6$ 、および逆流防止用ダイオードからなる。スイッチ $SW_4$ ,  $SW_5$ は、表示電極X（またはY）を電位 $V_s$ の電源735または基準電位の接地端子に接続するプッシュプル型スイッチング回路を構成する。電位 $V_s$ とは基準電位に対する電位差が $V_s$ である電位を意味する。スイッチ $SW_6$ は、表示電極間の印加電圧を高レベル維持電圧 $V_{so}$ から低レベル維持電圧 $V_s$ へ強制的に降下させるための要素である。補助パルス発生回路832は、電力蓄積素子であるコンデンサ $C_o$ 、および直列接続された2個のスイッチ $SW_{11}$ ,  $SW_{12}$ からなる。コンデンサ $C_o$ は、スイッチ $SW_{11}$ ,  $SW_{12}$ の接続点と接地端子との間に挿入されている。スイッチ $SW_{11}$ は、電位 $V_{so}$  ( $=V_s + V_o$ )の電源736と標準パルス発生回路831とを結ぶ通電路を開閉する。スイッチ $SW_{12}$ は、コンデンサ $C_o$ と標準パルス発生回路831とを結ぶ通電路を開閉する。電力回収回路833は、回収用のコンデンサを有しており、サステインパルスの前縁においてコンデンサから容量 $C_p$ へ電荷を送り、後縁において容量 $C_p$ からコンデンサへ電荷を取り込む。これら電荷の移動はコイルと容量 $C_p$ との共振現象により高速に進行する。なお、電力回収回路833の動作は本発明の効果に影響しないので、その詳しい説明を行わない。

10

20

## 【0028】

図10は第1例の回路構成のサステイン回路に対する駆動制御を示す波形図である。図10において、スイッチ $SW_4$ ,  $SW_5$ ,  $SW_6$ ,  $SW_{11}$ ,  $SW_{12}$ に対する制御信号の“OFF”は通電路の“開”に対応し、“ON”は通電路の“閉”に対応する。表示電極間の印加電圧 ( $V_{xy}$ ) とは、表示電極Xの電位 ( $V_x$ ) と表示電極Yの電位 ( $V_y$ ) との差であり、 $V_{xy} = V_x - V_y$  と定義される。図中の斜線は以下の説明において注目する部分を表す。

## 【0029】

例えば表示電極Xにサステインパルス $P_s$ を印加するときの制御は次のとおりである。期間 $T_{op}$ においてコントローラ71はXドライバのサステイン回路83におけるスイッチ $SW_4$ ,  $SW_{11}$ ,  $SW_{12}$ を閉じ、表示電極Xを電源735, 736に接続する。このとき、Yドライバのサステイン回路87におけるスイッチ $SW_5$ が閉じており、表示電極Yは接地されている。期間 $T_{op}$ の開始直後の期間 $T_{sc}$ においてコンデンサ $C_o$ が充電されて端子間電圧が高レベル維持電圧 $V_{so}$ になる。容量 $C_p$ も充電され、表示電極間には高レベル維持電圧 $V_{so}$ が加わる。この状態で表示放電が生じると、電源735, 736から表示電極Xへ放電電流が流れる。続く期間 $T_{oc}$ において、コントローラ71はXドライバのスイッチ $SW_{11}$ を開く。電源736による電流供給が遮断され、コンデンサ $C_o$ から表示電極Xへ電流が流れる。コンデンサ $C_o$ に蓄積されていた電力と容量 $C_p$ に蓄積されていた電力とが表示放電の放電電流となる。放電によって表示電極間の印加電圧は高レベル維持電圧 $V_{so}$ から降下して低レベル維持電圧 $V_s$ へ近づく。表示負荷が大きいほど、より速くより低い電圧まで降下する。ただし、低レベル維持電圧 $V_s$ まで降下した後は電源735から放電電流が供給されるので、表示電極間の印加電圧が低レベル維持電圧 $V_s$ よりも低くなることはない。期間 $T_{oc}$ の終了時点、すなわち期間 $T_p$ の開始時点でコントローラ71はXドライバのスイッチ $SW_6$ を閉じるとともにスイッチ $SW_{12}$ を開く。スイッチ $SW_6$ が閉じることによって容量 $C_p$ の余剰蓄積電力が電源735へ強制的に放出され、表示電極間の印加電圧が低レベル維持電圧 $V_s$ になる。この時点では既にスイッチ $SW_{11}$ が開いているので、スイッチ $SW_{12}$ とスイッチ $SW_6$ の開閉を同時に行っても電源736と電源735との短絡は生じない。また、スイッチ $SW_{12}$ とスイッチ $SW_6$ の双方が瞬間的に閉状態になったとしても、コンデンサ $C_o$ に残った少しの電力が無駄になるだけで実用には問題はない。役目を終えたスイッチ $SW_6$ が開かれても、ス

30

40

50

スイッチSW4が閉じているので、表示電極間の印加電圧は低レベル維持電圧 $V_s$ に保たれる。その後、コントローラ71はスイッチSW4を開き、さらにデッドタイムの経過を待ってスイッチSW5を閉じる。スイッチSW5が閉じることによって表示電極Xのバイアス、すなわち表示電極Xに対する1つのサステインパルス $P_s$ の印加が終了する。以上の制御において、表示電極Xと表示電極Yとを入れ換えれば、表示電極間に正極性のサステインパルス $P_s$ が加わる。

#### 【0030】

このようにサステインパルス $P_s$ の印加に際してコンデンサ $C_o$ を活用することにより、表示負荷が大きい場合に期間 $T_{oc}$ で印加電圧が急激に降下するのを防ぐことができる。コンデンサ $C_o$ の容量値が過大であると、表示負荷が小さいときに無駄になる蓄積電荷が多くなる。実用におけるコンデンサ $C_o$ の容量値の適正範囲は、容量 $C_p$ の $1/2$ から2倍の範囲である。例えば、画面サイズが42インチのPDPサイズでは、容量 $C_p$ の値が100nF程度であるので、50nF～200nFの容量値をもつコンデンサ $C_o$ を用いればよい。

#### 【0031】

図11はサステイン回路構成の第2例を示す。第2例のサステイン回路83b、87bも上述した図9の第1例と同様に、標準パルス発生回路831、補助パルス発生回路832、および電力回収回路833から構成される。第2例と第1例との構成の差異は、標準パルス発生回路831と補助パルス発生回路832との接続位置である。第1例では補助パルス発生回路832のスイッチSW12が標準パルス発生回路831のスイッチSW4の電流出力側に接続されている。これに対して、第2例ではスイッチSW12がスイッチSW4の電流入力側、すなわち電源735とスイッチSW4の間に接続されている。したがって、電源736から表示電極X（またはY）へ流れる電流はスイッチSW4を経由する。

#### 【0032】

この第2例のサステイン回路83b、87bに対する駆動については、図10の例と同様の制御を適用することができる。ただし、第1例ではスイッチSW4とスイッチSW12とを同時に閉じる必要があったのに対して、第2例ではサステインパルスの立上がりはスイッチSW4が閉じることで決まるので、スイッチSW11、SW12を閉じる時期を、スイッチSW4を閉じる時期より少し早い時期とすればよい。つまり、第2例は第1例と比べて補助パルス発生回路832の制御タイミングの許容範囲が広い。反面、第2例では補助パルス発生回路832と表示電極との通電路にスイッチSW4が介在するので、スイッチSW4の内部抵抗の影響を第1例よりも多く受ける。

#### 〔サステインパルス生成の第2実施形態〕

第2実施形態は、表示電極対の双方の表示電極を互いの電位差が大きくなるようにバイアスすることによって、表示電極間に階段状のサステインパルスを印加する駆動形態である。なお、第2実施形態の図示において、第1実施形態と同一の構成要素には第1実施形態と同一の符号を付し、それらの説明を省略するかまたは簡略にする。以下で説明する全て図についても同様である。

#### 【0033】

図12はサステイン回路構成の第3例を示す。第3例のサステイン回路83c、87cは、標準パルス発生回路831c、補助パルス発生回路832、および電力回収回路833から構成される。標準パルス発生回路831cは、スイッチSW4、SW5、SW6、および逆流防止用ダイオードからなる。スイッチSW4、SW5は、表示電極X（またはY）を電位 $V_s$ の電源735または基準電位の接地端子に接続するプッシュプル型スイッチング回路を構成する。スイッチSW6は、表示電極間の印加電圧を強制的に低レベル維持電圧 $V_s$ へ移行させるために、表示電極X（またはY）を接地する役わりをもつ。本例において補助パルス発生回路832のスイッチSW11に接続される電源737の電位は $-V_o$ である。第3例には第1例および第2例と比べて電源回路73の最大出力電圧が低いという利点がある。

10

20

30

40

50

## 【0034】

図13は第3例の回路構成のサステイン回路に対する駆動制御を示す波形図である。ここでは代表として表示電極間に負極性のサステインパルス $P_s'$ を印加する場合の制御を説明する。サステイン回路83c、87cは、表示電極Yに振幅 $V_s$ の標準パルス $P_{s1}$ を印加し、同時に表示電極Xに振幅 $-V_o$ の補助パルス $P_{s2}$ を印加する。補助パルス $P_{s2}$ の印加は標準パルス $P_{s1}$ の印加より若干早くてもよい。コントローラ71は、XドライバのスイッチSW11、SW12を閉じ、それと同時かまたは若干遅れた時点でYドライバのスイッチSW4を閉じる。Xドライバのコンデンサ $C_o$ は電源737によって充電され、その端子間電圧はオフセット電圧 $V_o$ となる。表示電極間の印加電圧は負の高レベル維持電圧 $-V_{so}$ となる。期間Topでは電源735からYドライバ、表示電極Y、表示電極X、Xドライバの補助パルス発生回路832を経由して電源737へ放電電流が流れる。期間Tocにおいてコントローラ71はXドライバのスイッチSW11を開き、電源737と表示電極Xとを切り離す。Xドライバのコンデンサ $C_o$ の蓄積電荷が表示放電に費やされ、表示電極間の印加電圧が負の高レベル維持電圧 $-V_{so}$ から負の低レベル維持電圧 $-V_s$ に近づく。期間Tocの終了時点において、コントローラ71はYドライバのスイッチSW6を閉じる。これにより表示電極間の印加電圧は強制的に負の低レベル維持電圧 $-V_s$ とされる。その後、コントローラ71はYドライバのスイッチSW4を開き、さらにデッドタイムの経過を待ってスイッチSW5を閉じる。スイッチSW5が閉じることによって1つのサステインパルス $P_s'$ の印加が終了する。

〔サステインパルス生成の第3実施形態〕

第3実施形態は、振幅 $V_s$ の標準パルスの印加を、表示電極対の双方の表示電極に振幅 $V_s/2$ のパルスを印加することによって実現する駆動形態である。

## 【0035】

図14はサステイン回路構成の第4例を示す。サステイン回路83dは、矩形波パルスを出力する機能をもつフローティング形式の標準パルス発生回路841、サステインパルスの振幅を一時的に高レベル維持電圧 $V_{so}$ とする補助パルス発生回路832、および表示電極間の容量 $C_p$ の充電に費やした電荷を再利用するための電力回収回路843から構成される。標準パルス発生回路841は、スイッチSW21、SW22、SW23、SW24、SW25、出力端子電位をシフトさせるためのコンデンサ $C_s$ 、および逆流防止用ダイオードD21、D23、D24、D25からなる。スイッチSW24、SW25は、表示電極Xをコンデンサ $C_s$ の一端または他端に接続するプッシュプル型スイッチング回路を構成する。標準パルス発生回路841では、電位 $V_s/2$ の電源738によってコンデンサ $C_s$ を充電し、コンデンサ $C_s$ の一方の端子Hまたは他方の端子Lを接地することによって、出力パルスの振幅について $+V_s/2$ および $-V_s/2$ の切り換えが行われる。第4例には出力電圧が低レベル維持電圧 $V_s$ の半分の電源738で表示電極間に低レベル維持電圧 $V_s$ を印加することができる、すなわち電力部品の低耐圧化によって安価に回路を構成することができるという利点がある。

## 【0036】

図15は第4例の回路構成のサステイン回路に対する駆動制御を示す波形図である。例えば表示電極間に正極性のサステインパルス $P_s$ を印加するときには次の制御が行われる。コントローラ71は、XドライバのスイッチSW21、SW23を閉じてコンデンサ $C_s$ を充電する。充電に要する時間が経過した時点で、コントローラ71はスイッチSW23を開き、続いてXドライバのスイッチSW11、SW12を閉じる。コンデンサ $C_s$ の端子Lの電位は $V_o$ になり、端子Hの電位は $V_o + V_s/2$ になる。このとき、スイッチSW25と並列のダイオードD25を経由して電源737から表示電極Xへ電流が流れ、容量 $C_p$ が充電される。コンデンサ $C_o$ にも電位 $V_o$ の電源739から電流が流れ、期間Tscの終了時点でコンデンサ $C_o$ の端子間電圧がオフセット電圧 $V_o$ となる。次に、コントローラ71はXドライバのスイッチSW24を閉じるとともに、YドライバのスイッチSW22、SW25を閉じる。これにより、表示電極Xの電位は $V_o + V_s/2$ になり、表示電極Yの電位は $-V_s/2$ になる。そして、表示電極間の印加電圧は高レベル維持電

圧  $V_{so}$  になる。このとき、Yドライバのスイッチ  $SW_{12}$  は開いているので、Yドライバのコンデンサ  $C_o$  は電源に対する負荷とはならず、電力消費に影響を与えない。期間  $T_{op}$  の終了時点でコントローラ 71 は Xドライバのスイッチ  $SW_{11}$  を開く。これにより、期間  $T_{oc}$  においてコンデンサ  $C_o$  から表示電極 X へ放電電流が流れる。期間  $T_{oc}$  の終了時点でコントローラ 71 は Xドライバのスイッチ  $SW_{23}$  を閉じる。コンデンサ  $C_s$  の端子 L が接地されるので、表示電極 X の電位は低レベル維持電圧  $V_s$  となる。その後、コントローラ 71 は Xドライバのスイッチ  $SW_{24}$  を開き、デッドタイムの経過を待って Xドライバのスイッチ  $SW_{25}$  を閉じるとともに Yドライバのスイッチ  $SW_{22}$ 、 $SW_{25}$  を開く。これによって表示電極 X および表示電極 Y の双方が接地され、1つのサステインパルス  $P_s$  の印加が終了する。

10

#### 【0037】

第4例の回路構成の変形としてダイオード  $D_{25}$  を省略した場合は、スイッチ  $SW_{24}$  が閉じるのに呼応して表示電極 X (または Y) の電位が高レベル維持電圧になる。ダイオード  $D_{21}$  を省略した場合は、スイッチ  $SW_{12}$  を閉じてスイッチ  $SW_{22}$  を閉じた時点で、スイッチ  $SW_{24}$  を経由して表示電極 X (または Y) から電源 738 へ電流が戻り、表示電極間の印加電圧が低レベル維持電圧  $V_s$  へ降下する。

#### 【0038】

以上の実施形態において、パルスベース電位を接地電位 (0 ボルト) に限定する必要はない。パルスベース電位を接地電位以外の正 (+) または負 (-) の電位とするパルス発生回路も可能である。

20

#### 〔表示装置の要部の構成〕

上述の第1～第3の実施形態において、補助パルス発生回路 832 のスイッチ  $SW_{11}$ 、 $SW_{12}$  としてスイッチング素子が好適である。図16の例では、スイッチ  $SW_{11}$  は Pチャネル電界効果トランジスタ  $Q_1$  とゲートドライバ  $DR_1$  とからなり、スイッチ  $SW_{12}$  は Nチャネル電界効果トランジスタ  $Q_2$  とゲートドライバ  $DR_2$  とからなる。電界効果トランジスタ  $Q_1$ 、 $Q_2$  は MOS 型でも接合型でもよい。電界効果トランジスタに限らず、絶縁ゲートバイポーラトランジスタ (IGBT) といった他の電圧制御素子を使用してもよい。ただし、MOS 型電界効果トランジスタを用いる場合は、ソース・ドレイン間に素子の極性とは反対の極性の寄生ダイオードが存在するので、不測の要因で電極電位が電源電位より高くなったときに無駄な電流が流れるのを防止するため、サステイン回路内の適所に逆流防止用のダイオードを挿入するのが望ましい。

30

#### 【0039】

補助パルス発生回路 832 について次の変形例がある。図17の補助パルス発生回路 832b では、電力蓄積素子としてコンデンサ  $C_o$  に代えてコイル  $L_o$  が用いられている。この場合、スイッチ  $SW_{11}$  を閉じてコイル  $L_o$  に電力を蓄積させる時間は、コンデンサ  $C_o$  に蓄積させる場合よりも短くてよい。コイル  $L_o$  に電力を蓄積させた後にスイッチ  $SW_{11}$  を開くと、コイル  $L_o$  からスイッチ  $SW_{12}$  を経由して表示電極に電流が流れる。図18の補助パルス発生回路 832c では、コンデンサ  $C_o$  と接地端子との間にスイッチ  $SW_{13}$  が挿入され、スイッチ 2 が省略されている。この補助パルス発生回路 832c は図14のサステイン回路構成に適用される。スイッチ  $SW_{11}$  およびスイッチ  $SW_{13}$  が開くと、コンデンサ  $C_o$  がフローティング状態になり、コンデンサ  $C_o$  が標準パルス発生回路 841 から実質的に切り離される。補助パルス発生回路 832c によれば、スイッチ  $SW_{13}$  を電界効果トランジスタで構成した場合における動作の基準電位が接地電位であるので、電界効果トランジスタを駆動するゲートドライバを低耐圧の安価な部品で構成することができる。

40

#### 【0040】

上述の第1～第3の実施形態において、表示負荷の大小にかかわらず発光輝度および発光効率をより良好にするには、サステインパルス  $P_s$ 、 $P_{s'}$  における振幅変更のタイミングを表示負荷の変化に合わせて逐次に調整するのが好ましい。以下ではサステインパルス  $P_s$  のタイミング調整について説明する。

50

**【0041】**

図19はコントローラの構成図である。コントローラ71は、予め定められた周期で表示負荷を測定する負荷測定回路710、複数種の制御信号波形を記憶する波形メモリ711、制御信号波形の読出しを制御するメモリコントローラ712、負荷測定回路710からの測定信号SRに基づいて表示負荷の大小判別を行う判定回路713、および判定回路713の出力DJに従って最良の制御信号波形を選択するタイミング調整回路714を有している。タイミング調整回路714によって選択された波形を適用したスイッチ制御信号がXドライバ75およびYドライバ76のそれぞれのサステイン回路に与えられる。負荷測定回路710はビットカウンタからなり、データ変換回路72から出力されるサブフレームデータDs fを取り込んで点灯セル数をカウントする。判定回路713は測定信号SRが示す点灯セル数と予め設定された閾値とを比較することによって表示負荷の大小を判定する。

10

**【0042】**

コントローラ71は、図20のようにj番目のサブフレームの表示期間TSにおける駆動制御の準備として、同じj番目のサブフレームのアドレス期間TAに点灯セル数をカウントしかつ表示負荷を判定して最良の信号波形を選択する。表示負荷率に応じて期間Toの後縁位置を微調整することで、所定の発光輝度および発光効率を維持することができる。タイミングの微調整の量は、輝度と発光効率の最大となる点を実験で求めて決めておけばよい。

**【0043】**

表示負荷の測定に関して他の構成も考えられる。それは、データ変換回路72がフレームメモリをもち、予め1フレームの画像について全てのサブフレームのデータ変換を行い、全てのサブフレームデータDs fを一旦フレームメモリに記憶させておき、次のフレームにおいて、その1つ前のフレームのサブフレームデータDs fをAドライバ77に転送する構成である。この構成の場合には、全てのサブフレームデータDs fを記憶する際に、負荷カウントを行うようにすればよい。そうすることで、全サブフレームの負荷判定結果を予め得ておくことができるので、余裕をもってタイミング制御を設定することができる。

20

**【0044】****【発明の効果】**

請求項1ないし請求項6の発明によれば、表示放電における発光輝度および発光効率を改善し、かつ表示負荷の増減にともなう発光輝度および発光効率の変動を小さくすることができる。

30

**【0045】**

請求項2の発明によれば、表示負荷が小さいときの電力損失を少なくして発光効率の低下を防止することができる。

請求項3の発明によれば、表示負荷の増減にともなう発光輝度および発光効率の変動をより確実に小さくすることができる。

**【0046】**

請求項5の発明によれば、表示負荷が小さいときの電力損失を少なくして発光効率の低下を防止することができる。

40

**【図面の簡単な説明】**

【図1】本発明に係る表示放電のための駆動電圧波形および放電電流波形の模式図である。

【図2】本発明に係る表示装置の構成図である。

【図3】表示電極を駆動するXドライバおよびYドライバの概略構成図である。

【図4】スキャン回路の構成図である。

【図5】スキャンドライバの構成図である。

【図6】PDPのセル構造の一例を示す図である。

【図7】フレーム分割の概念図である。

50

【図 8】駆動電圧波形の概略図である。

【図 9】サステイン回路構成の第 1 例を示す図である。

【図 10】第 1 例の回路構成のサステイン回路に対する駆動制御を示す波形図である。

【図 11】サステイン回路構成の第 2 例を示す図である。

【図 12】サステイン回路構成の第 3 例を示す図である。

【図 13】第 3 例の回路構成のサステイン回路に対する駆動制御を示す波形図である。

【図 14】サステイン回路構成の第 4 例を示す図である。

【図 15】第 4 例の回路構成のサステイン回路に対する駆動制御を示す波形図である。

【図 16】補助パルス発生回路のスイッチの具体例を示す図である。

【図 17】補助パルス発生回路のスイッチの第 1 変形例を示す図である。

【図 18】補助パルス発生回路のスイッチの第 2 変形例を示す図である。

【図 19】コントローラの構成図である。

【図 20】コントローラが行う制御動作のタイミングを示す図である。

【符号の説明】

1 PDP (プラズマディスプレイパネル)

X, Y 表示電極

V<sub>s</sub> 低レベル維持電圧

V<sub>o</sub> オフセット電圧

V<sub>so</sub> 高レベル維持電圧

T<sub>op</sub> 期間 (第 1 段階)

T<sub>oc</sub> 期間 (第 2 段階)

T<sub>p</sub> 期間 (第 3 段階)

735, 738 電源 (第 1 の電源)

736, 737, 739 電源 (第 2 の電源)

C<sub>o</sub> コンデンサ (電力蓄積素子)

L<sub>o</sub> コイル (電力蓄積素子)

C<sub>p</sub> 容量 (電極間容量)

70 ドライブユニット (駆動装置)

71 コントローラ

83, 83b, 83c, 83d サステイン回路

87, 87b, 87c サステイン回路

831, 841 標準パルス発生回路

832, 823b, 832c 補助パルス発生回路

SW11 第 1 のスイッチ

SW12 第 2 のスイッチ

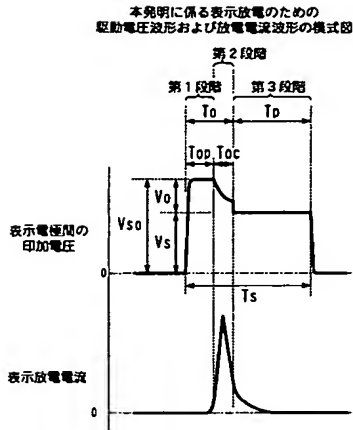
SW6 第 3 のスイッチ

10

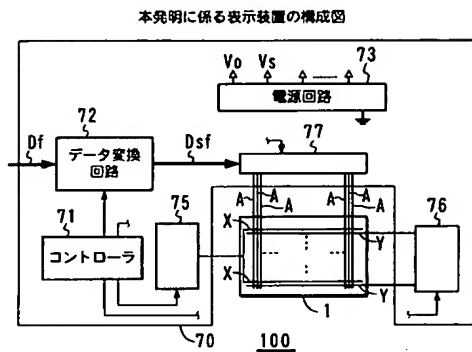
20

30

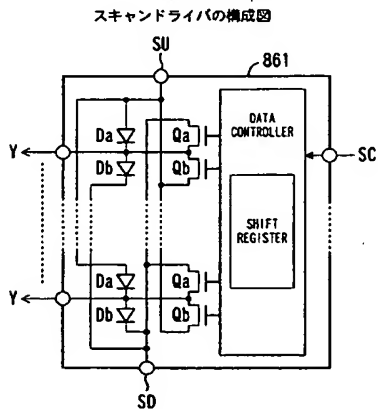
【図 1】



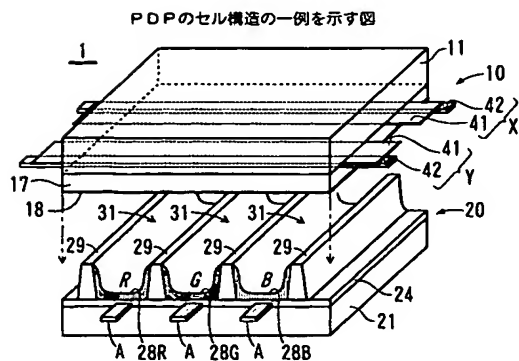
【図 2】



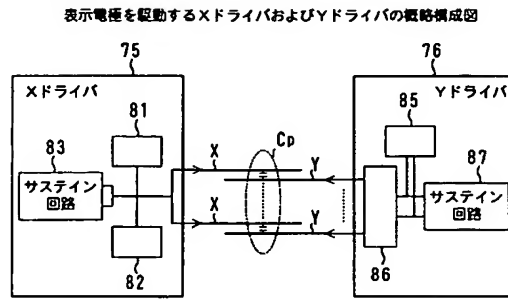
【図 5】



【図 6】

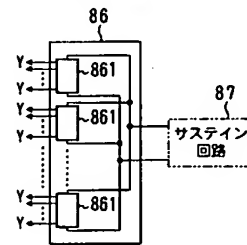


【図 3】



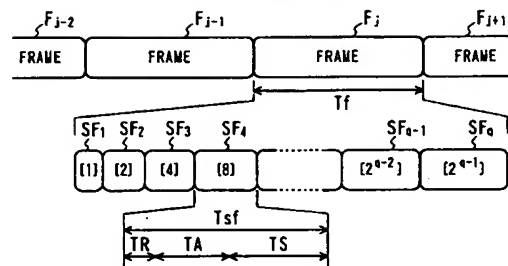
【図 4】

スキャン回路の構成図



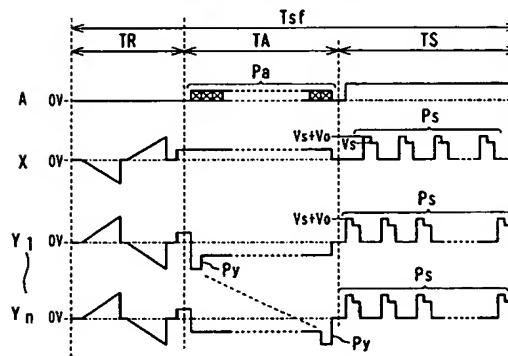
【図 7】

フレーム分割の概念図



【図 8】

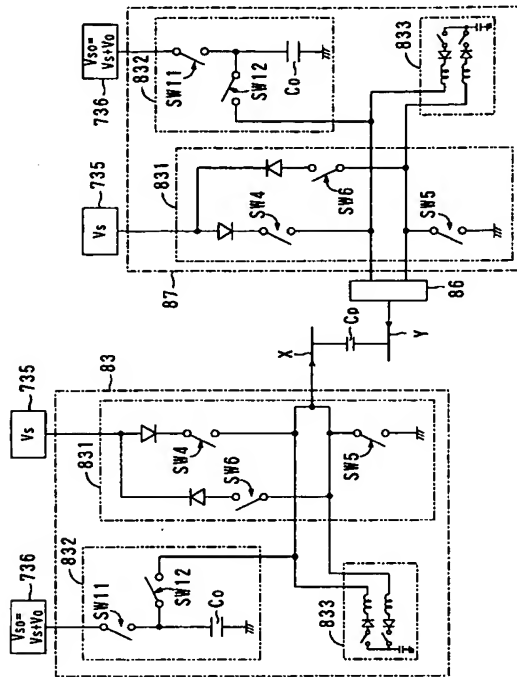
駆動電圧波形の概略図





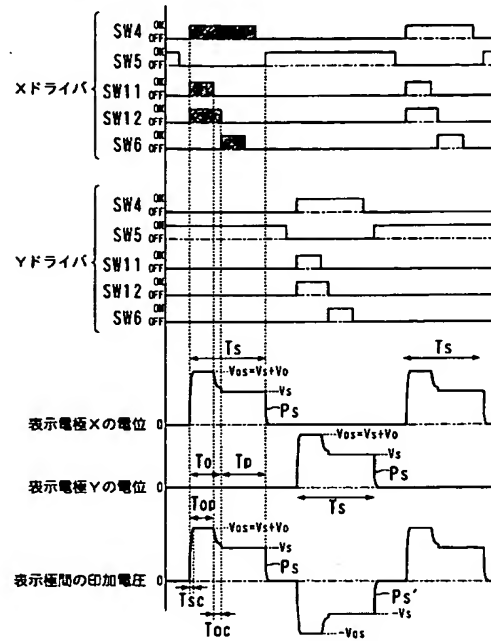
【図 9】

サステイン回路構成の第1例



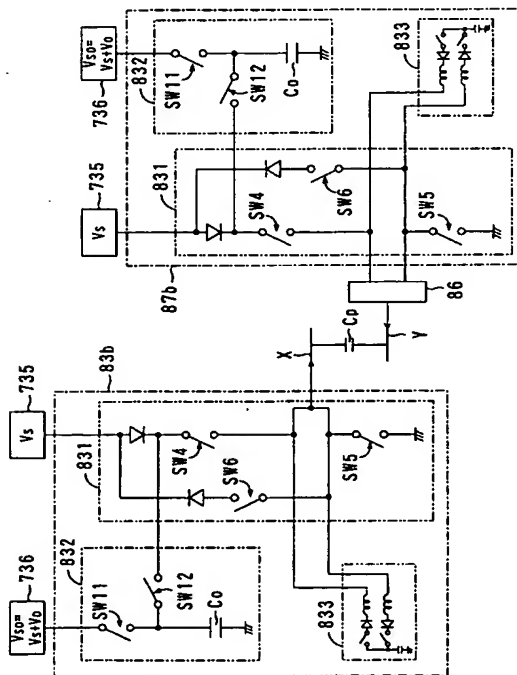
【図 10】

第1例の回路構成のサステイン回路に対する駆動制御を示す波形図



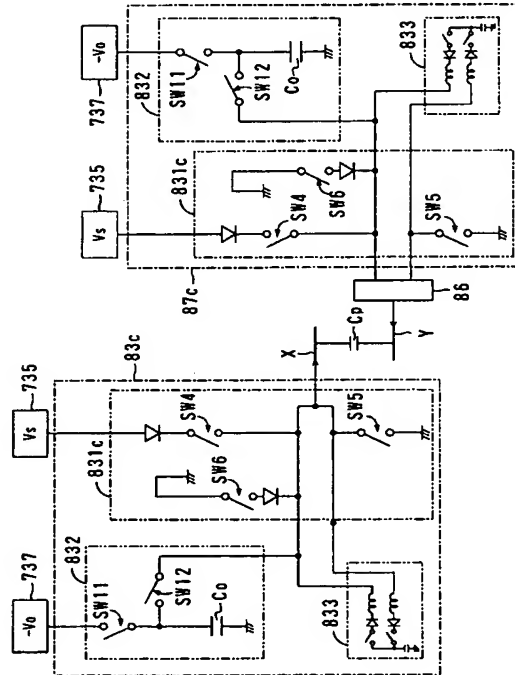
【図 11】

サステイン回路構成の第2例



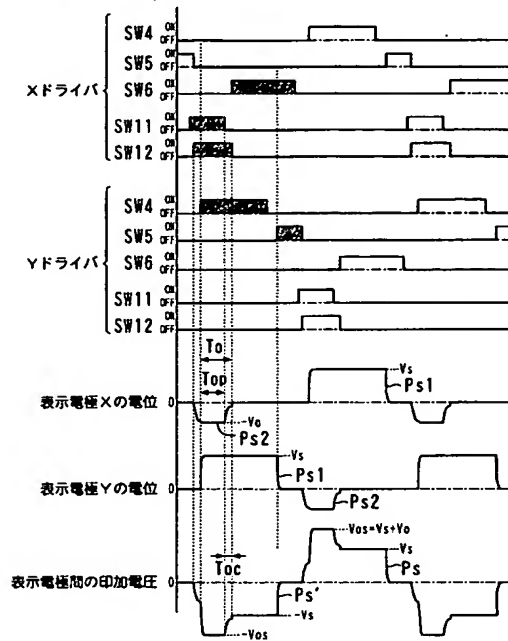
【図 12】

サステイン回路構成の第3例



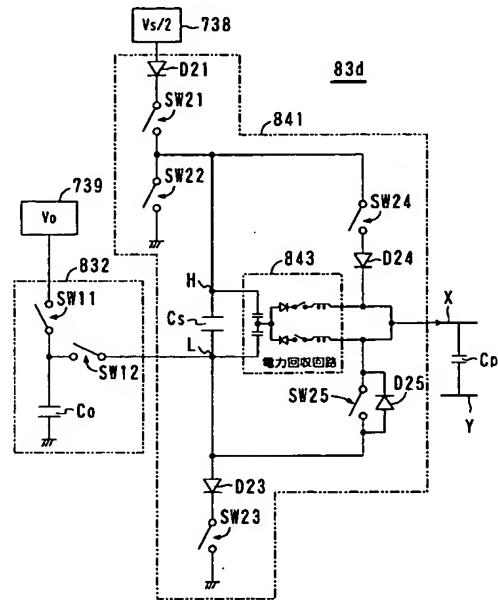
【図 1 3】

第3例の回路構成のサステイン回路に対する駆動制御を示す波形図



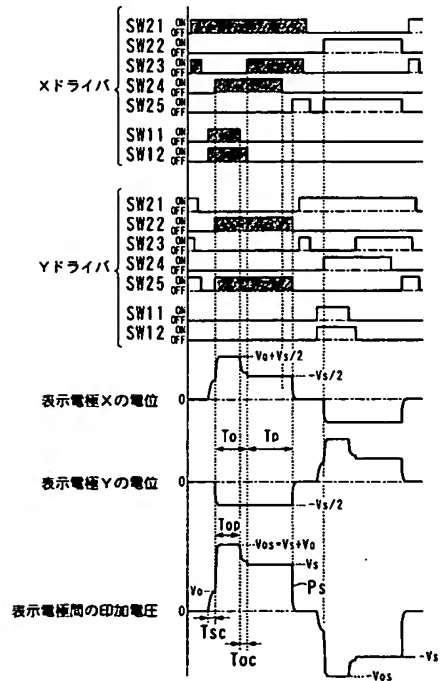
【図 1 4】

サステイン回路構成の第4例



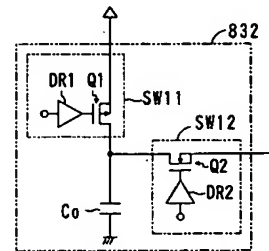
【図 1 5】

第4例の回路構成のサステイン回路に対する駆動制御を示す波形図



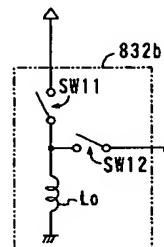
【図 1 6】

補助パルス発生回路のスイッチの具体例



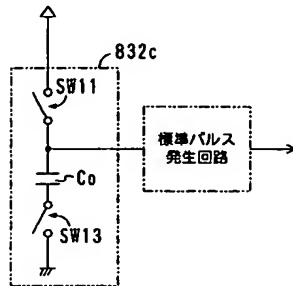
【図 1 7】

補助パルス発生回路の第1変形例



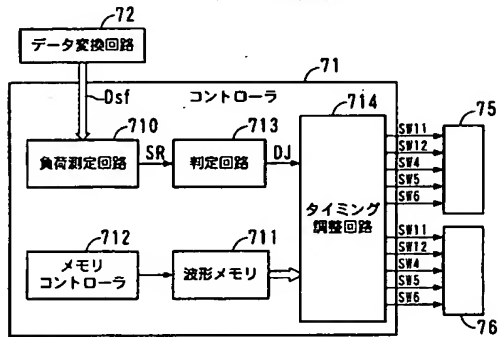
【図 18】

補助パルス発生回路の第2変形例



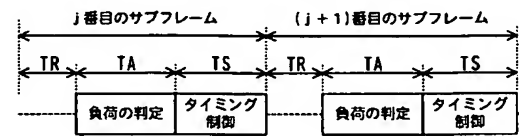
【図 19】

コントローラの構成図



【図 20】

コントローラが行う制御動作のタイミングを示す図



フロントページの続き

(51)Int. Cl.<sup>7</sup>

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 4 M
G 0 9 G	3/20	6 2 4 P
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 4 2 C
G 0 9 G	3/20	6 4 2 D
G 0 9 G	3/28	J

(72)発明者 瀬尾 欣穂

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5C080 AA05 BB05 CC03 DD05 DD09 DD26 DD27 EE29 FF12 GG12  
HH02 HH04 HH05 JJ02 JJ03 JJ04 JJ06